

(19) 日本国特許庁 (JP)

(12) 公開実用新案公報 (U)

(11) 実用新案出願公開番号

実開平7-26787

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 01 R 31/3183

G 01 R 31/ 28

Q

審査請求 未請求 請求項の数1 FD (全4頁)

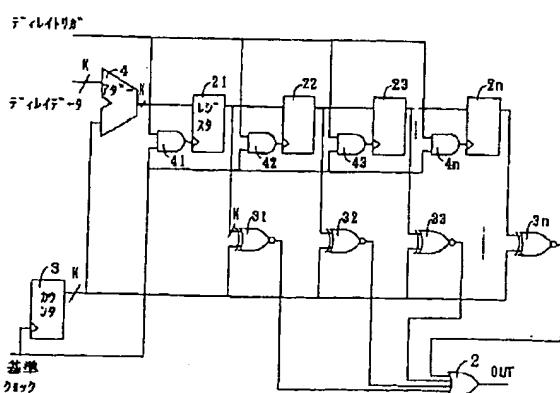
(21) 出願番号	実願平5-61023	(71) 出願人 390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22) 出願日	平成5年(1993)10月18日	(72) 考案者 佐藤 政利 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内

(54) 【考案の名称】 半導体試験装置用タイミング発生器

(57) 【要約】

【目的】 半導体試験装置に搭載されるタイミング発生器における遅延発生器に於いて、周期のn倍まで遅延発生する回路規模を縮小することにより、コストダウンをした、半導体試験装置用タイミング発生器を提供する。

【構成】 カウンタ3を設ける。そして、当該カウンタ出力とディレイデータとを加算するアダ-4を設ける。そして、当該アダ-出力を、ディレイトリガ信号に同期して記憶するレジスタ21を設ける。そして、当該レジスタ21出力と当該カウンタ3出力とを比較する排他的論理和ゲート31を設ける。次に、当該レジスタ21の後段に、レジスタ2nと排他的論理和ゲート3nとを複数段設ける。以上により、排他的論理和ゲート31、…3nから一致出力を発生して、半導体試験装置用タイミング発生器を構成する。

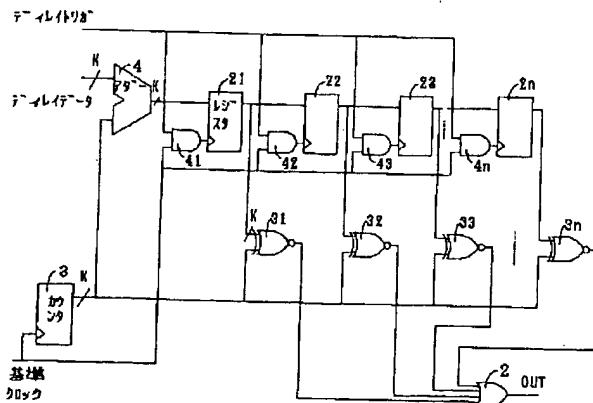


BEST AVAILABLE COPY

#### 【実用新案登録請求の範囲】

【請求項】 半導体試験装置に搭載したタイミング発生器における、遅延量を周期の  $n$  倍まで設定する遅延発生器に於いて、  
カウンタ（3）を設け、  
当該カウンタ出力とディレイデータとを加算するアダ  
（4）を設け、  
当該アダ出力を、ディレイトリガ信号に同期して記憶  
するレジスタ（21）を設け、  
当該レジスタ（21）出力と当該カウンタ（3）出力と  
を比較する排他的論理ゲート（31）を設け、  
当該レジスタ（21）の後段に、レジスタ（2n）と排  
他的論理ゲート（3n）とを複数段設け、  
以上により、排他的論理ゲート（31、…3n）から  
一致出力を発生することを特徴とする、半導体試験装置

【図1】



## 用タイミング発生器。

## 【図面の簡単な説明】

【図1】本考案の構成を示すブロック図である。

【図2】本考案の動作を示すタイムチャートである。

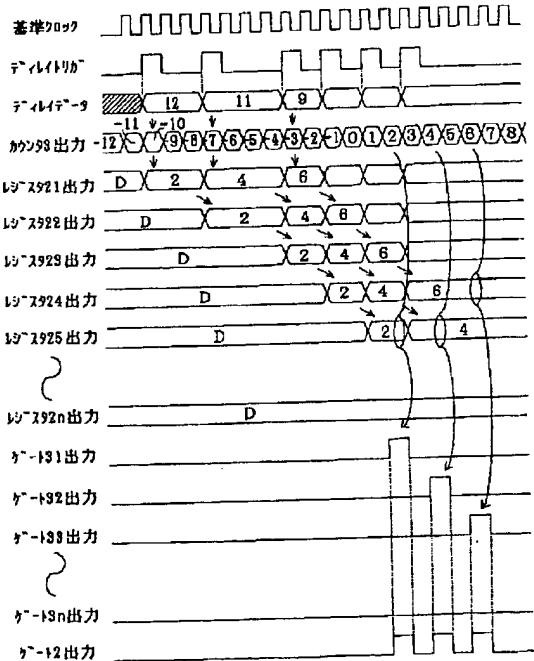
【図3】従来の構成を示すブロック図である。

【図4】従来の動作を示すタイムチャートである。

## 【符号の説明】

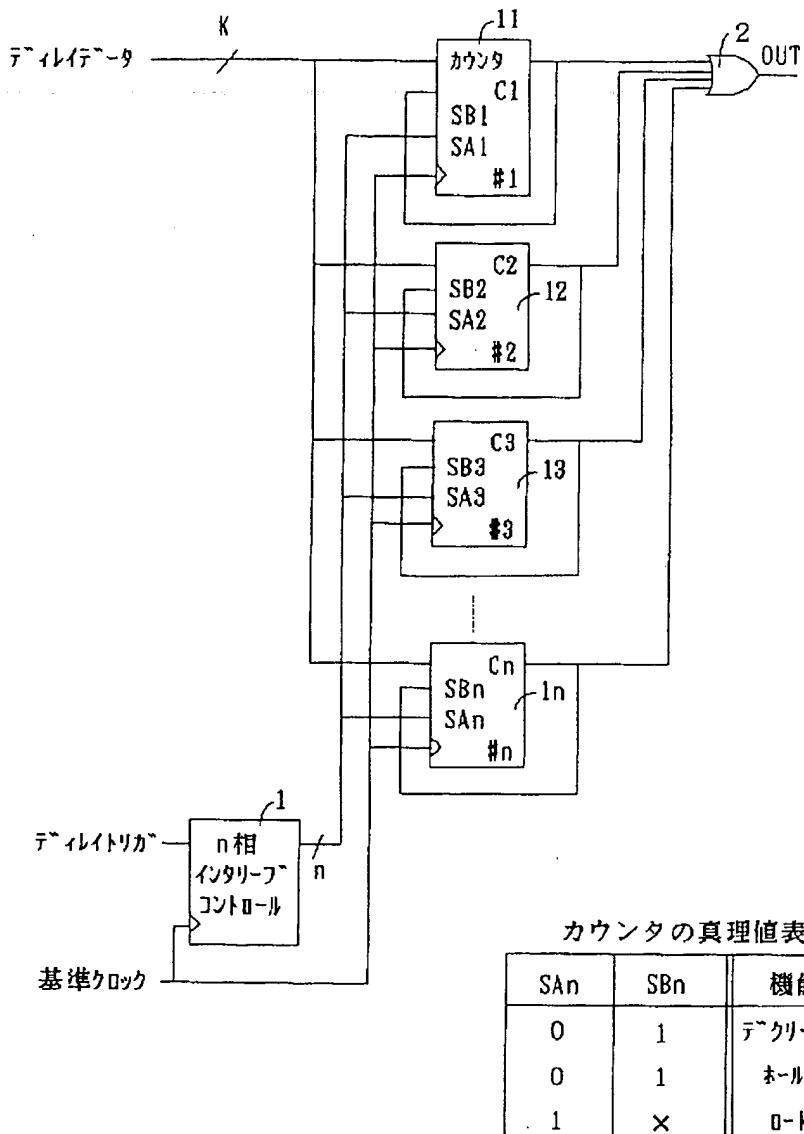
1	n相インターリープコントロール
2	オアゲート
3	カウンタ
4	アダー
1 1、1 2、1 3、1 n	カウンタ
2 1、2 2、2 3、2 n	レジスタ
3 1、3 2、3 3、3 n	排他的論理和ゲート
4 1、4 2、4 3、4 n	アンドゲート

[図2]

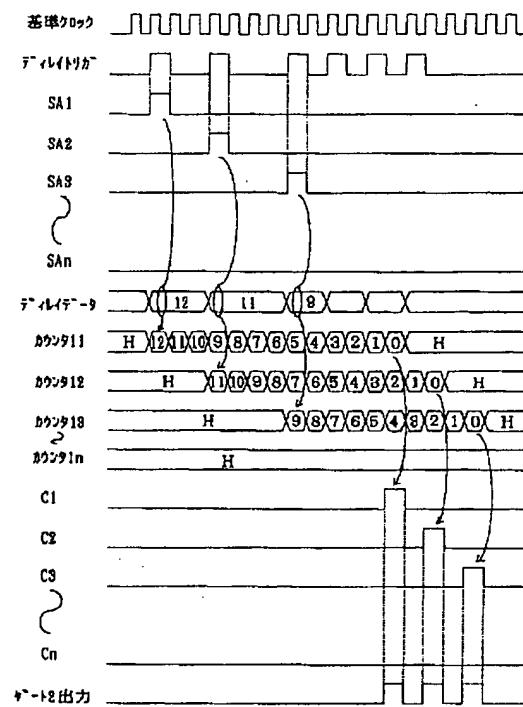


(注) 上記カウンタ3の表示に於て、  
 -1とは、フルカウント数nに対応し、  
 -2とは、(n-1)に対応する。  
 一般に、-xは(-x+n+1)に対応する。  
 従って、ディレイデータ12の例では、  
 加算値は  $(n-9) + 2 = n + 3$   
 となり、繰り上がりがった最上位のビットは無いため、  
 $n+3 - (n+1) = 2$   
 が、レジスタ21の値となる。

【図3】



【図4】



**【考案の詳細な説明】****【0001】****【産業上の利用分野】**

本考案は半導体試験装置に搭載されるタイミング発生器において、遅延量を周期のn倍まで設定できる遅延発生器について、回路規模を縮小した半導体試験装置用タイミング発生器に関する。

**【0002】****【従来の技術】**

従来、半導体試験装置に搭載されるタイミング発生器においては、所望の遅延量を得るために、カウンタが使用されている。そして、遅延量が周期を越える場合の動作のために、n倍の周期までカバーできるように、n相のインタリープ回路が併用されている。そして、このカウンタは、基準クロックをkビット分カウントして、必要な遅延量を得ている。

**【0003】**

従来の半導体試験装置用タイミング発生器に使用されるカウンタ遅延の例として図3にブロック図を示す。

**【0004】**

先ず、ディレイトリガ信号をn相に配分するために、n相インタリープコントロール1が設けられている。n相インタリープコントロールは、基準クロック毎にディレイトリガの有無を検出し、ディレイトリガが存在する場合には、n相インタリープコントロール1の出力を歩進させる。出力がnの数値に達した次は再び1の数値に戻る。

**【0005】**

次に、このnの数に対応して、カウンタ11、12、13、…1nが設けられている。n相インタリープコントロール1の出力によりセットパルスがカウンタ11のSA1端子に入力すると、その時のディレイデータがロードされる。ディレイデータは、kビットにより設定され、カウンタ11は、この数値に対応して動作する。通常kビットは十ビット前後の数値である。

**【0006】**

データロードの当初では、カウンタ11の出力C1はローである。出力端C1は、入力端SB1に接続されている。入力信号SA1とSB1が共にローである場合には、カウンタ11は、デクリーメント動作を行う。すなわち、基準クロックが印加される毎にロードデータがデクリーメントされ、ゼロになると、出力端C1がハイに反転する。この出力信号は、SB1に加えられるので、カウンタ11は、ホールド・モードとなる。そして、次のインタリーブコントロール1からのセットパルスが与えられるまで、このホールド状態を保持する。

#### 【0007】

次に、カウンタ12、13、…1nについても、カウンタ11と同様な動作を行い、設定されたn相インタリーブコントロール1の出力に対応したディレイデータで動作する。

カウンタ11、12、13、…1nの各出力は、オアゲート2により論理和されてOUT信号として取りだされる。

#### 【0008】

従来のカウンタ遅延の動作例を図4にタイミングチャートとして示す。図の最初のディレイトリガに対応するn相インタリーブコントロール1の出力(SA1)時のディレイデータの数値は12であるとする。カウンタ11にこの数値がセットされ、数値12となる。そして、基準クロック毎に、デクリーメントされ、数値0になると、カウンタ11の出力C1がハイとなる。

#### 【0009】

次に、2番目のディレイトリガ(SA2)に対応するディレイデータは11であるとする。カウンタ12にこの数値がセットされ、数値11となる。そして、基準クロック毎に、デクリーメントされ、数値0になると、カウンタ12の出力C2がハイとなる。

#### 【0010】

同様に、3番目のディレイトリガに対応して、カウンタ13の出力C3がハイとなる。カウンタ11、12、13、…1nの各出力を反転した信号は、オアゲート2に入力され、論理和出力がOUT信号として取り出される。

#### 【0011】

図3では、遅延カウンタの1回路分を図示してある。この回路が、被試験デバイス(DUT)に対するドライバ波形の反転位置(エッジ)を定めている。半導体試験装置に於いては、複雑な試験パターンを発生するために、多くのエッジを与える必要があり、そのため、1ピンに対して、数エッジが必要となる。すなわち、1ピン当たり、数回路が使用される。また、半導体試験装置においては、被試験デバイス(DUT)のピン数分のドライバ波形を発生する必要があり、通常数百ピン分が用意される。

#### 【0012】

以上により、半導体試験装置に搭載されるタイミング発生器に於ける遅延カウンタ部の回路構成は大きなものとなり、特に、ディレイデータ数kが増大すれば、回路規模が大きくなり、また、インターリープ相数nが増大すれば、回路規模が相乗的に増大する。

#### 【0013】

##### 【考案が解決しようとする課題】

従来の半導体試験装置用タイミング発生器は次のような欠点をもっていた。

#### 【0014】

一般に、遅延カウンタ部の回路規模は、インターリープ相数nが増大すれば、回路規模が増大し、kビットのカウンタ11のn倍が必要となる。そして、ピン数分の回路規模の増大となるため、半導体試験装置にとって、ハードウェア量(LSIの規模)やコストの負担となってきていた。

#### 【0015】

本考案は、上述したような従来の技術が有する問題点に鑑みてなされるものであって、半導体試験装置に搭載されるタイミング発生器における遅延発生器に於いて、トリガとなる周期信号に対し、周期のn倍まで遅延発生する回路の回路規模を縮小することにより、コストダウンをした、半導体試験装置用タイミング発生器を提供するものである。

#### 【0016】

##### 【課題を解決するための手段】

半導体試験装置に搭載したタイミング発生器における、遅延量を周期のn倍ま

で設定する遅延発生器に於いて、カウンタ3を設ける。そして、当該カウンタ出力とディレイデータとを加算するアダ-4を設ける。そして、当該アダ-出力を、ディレイトリガ信号に同期して記憶するレジスタ21を設ける。そして、当該レジスタ21出力と当該カウンタ3出力とを比較する排他的論理和ゲート31を設ける。次に、当該レジスタ21の後段に、レジスタ2nと排他的論理和ゲート3nとを複数段設ける。以上により、排他的論理和ゲート31、…3nから一致出力を発生して、半導体試験装置用タイミング発生器を構成する。

#### 【0017】

##### 【作用】

本考案では、カウンタ3と、アダ-4とを設け、n個のレジスタ部を設けて、遅延発生器を構成した。これにより、最大n個のディレイトリガ点について、記憶を行うことができる。そして、レジスタの値は次々とシフトされて、数値内容が保持される。また最大n個の一一致信号を取り出すことができる。従って、一致信号が次々と出力する。

#### 【0018】

##### 【実施例】

本考案の実施例について図面を参照して説明する。図1は本考案の1実施例を示すブロック図である。

#### 【0019】

図1に於いて示すように、kビットからなるカウンタ3を設ける。カウンタ3は、基準クロックに同期して動作し、クロック毎にインクリメントを行う。MSB(k)まで歩進すると、LSB(0)に変わり、以後同様にインクリメントを繰り返す。

#### 【0020】

次に、当該カウンタ3の出力を入力の一端とし、他端にディレイデータを入力とするアダ-4を設ける。アダ-4では両データを加算し、出力を取り出す。

#### 【0021】

次に、kビットからなるレジスタ21を設ける。レジスタ21のデータ入力端には、当該アダ-4の出力端を接続する。また、当該レジスタ21のトリガ端子

には、アンドゲート41を設けて接続する。当該アンドゲート41の1入力端には、ディレイトリガ信号を与える。当該アンドゲート41の他の入力端には、基準クロック信号を与える。これにより、基準クロックに同期してディレイトリガを検出し、このタイミングで、アダ-出力データをレジスタに記憶することになる。

#### 【0022】

次に、 $k$ ビットよりなる排他的論理和ゲート31を設ける。当該排他的論理和ゲート31の1入力端には、当該レジスタ21の出力端を接続する。当該レジスタ31の他の入力端には当該カウンタ3の出力端を接続する。これにより、当該レジスタ21の出力と当該カウンタ3の出力を比較し、一致( $k$ ビット分)した時点で、当該排他的論理和ゲート31の出力が反転する。

#### 【0023】

次に、レジスタ21の後段に、同様にレジスタ22と、アンドゲート42と、排他的論理和ゲート32とを設ける。当該レジスタ22の入力端には、当該レジスタ21の出力端を接続する。これにより、ディレイトリガ信号(第2回目以後を含む)が入力されたとき、レジスタ22には、レジスタ21に記憶されていた数値が記憶される。また、レジスタ21には、その時のアダ-4の出力数値が記憶される。そして、当該レジスタ22の出力と当該カウンタ3の出力を比較し、一致( $k$ ビット分)した時点で、当該排他的論理和ゲート32の出力が反転する

#### 【0024】

次に、同様に、レジスタ23や、レジスタ2nにも、アンドゲート43、4nを設け、また排他的論理和ゲート33、3nを設ける。これにより、最大n個のディレイトリガ点について、記憶を行うことができる。従って、レジスタの値は次々とシフトされて、数値内容が保持される。また最大n個の一致信号を取り出すことができる。従って、カウンタの値とレジスタの値との一致がとれると、一致信号が次々と出力する。

#### 【0025】

次に、排他的論理和ゲート31、32、…3nの各出力を反転した信号は、オ

アゲート2に入力され、論理和出力がOUT信号としてとりだされる。以上のように、アダ-で加算した数値（レジスタ値）と、カウンタの値とが一致したときに、出力信号が取り出される。レジスタがnの場合には、n個のディレイトリガ点までをカバーできる。

#### 【0026】

図2に本考案の動作をタイミングチャートで示す。カウンタ3は循環的にインクリメントしており、MSB(k)の次は再びLSB(0)となる。ディレイデータとその時のカウンタの数値との和をとった数値がアダ-出力となり、レジスタに記憶される。そして、そのレジスタ数値とカウンタ数値とが一致したときに、排他的論理和ゲートが出力を発生する。

#### 【0027】

以上のように、本考案によるタイミング発生器の構成では、カウンタ3とアダ-4は、nの数値に依存せず、また、nの数値が増大した場合には、レジスタ2n部を追加するのみでよい。一般に、レジスタを構成するLSIセル数は、カウンタを構成するLSIセル数よりも著しく少なくてすむので、従来のカウンタ1n部の追加に比べ、ハード量の追加規模が著しく少なくてよい。

#### 【0028】

##### 【考案の効果】

以上説明したように本考案は構成されているので、次に記載する効果を奏する。

#### 【0029】

半導体試験装置に搭載されるタイミング発生器における遅延発生器に於いて、トリガとなる周期信号に対し、周期のn倍まで遅延発生する回路の回路規模を、カウンタよりも回路規模の小さなレジスタ部で構成することにより、LSIセル数を減少し、コストダウンをした、半導体試験装置用タイミング発生器を実現できた。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

---

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.